

IC封裝技術簡介

Summarized by AK12 CCWeng

1. 前言

所謂IC封裝，就是在晶圓製造完成後，用塑膠或陶瓷等材料，將晶粒封包在其中，以達到保護晶粒及作為晶粒與系統間訊號傳遞的介面。近年來，隨著IC高速化及高效能化的發展，新封裝型態如球閘陣列封裝（Ball Grid Array；BGA）、晶片尺寸封裝（Chip Scale Package；CSP）等持續高度成長，各封裝廠紛紛推出新封裝產品，本文將介紹各種封裝型態之基本知識並探討封裝產業之發展趨勢，以及對上游IC製造廠之影響。

2. 分類

為因應各種不同產品的需求，而有各種不同型態的IC封裝。封裝的分類也有各種不同的分類方式。以封裝材質來分可分為陶瓷封裝與塑膠封裝，以IC元件在電路板上的黏著方式可分為插入式（Plug）與表面黏著式（SMT；Surface mount type）；以接腳排列方式可分為雙排式（dual），四週排列（Quad）與陣列式（Array）…。

本文則依外觀與生產流程分為以下四大類：

1. 導線架（Lead Frame）
2. 陣列（Array）
3. 捲帶（TAB）
4. 覆晶（Flip chip）與 CSP（Chip Scale package）

其中除了導線架封裝是最傳統的技術之外，其餘都是近幾年才逐漸普及的新封裝技術。除了上述四類之外，本文也會介紹一些相關技術，例如重佈（Redistribution）技術，晶圓級封裝（Wafer level package），Multi-chip package等。

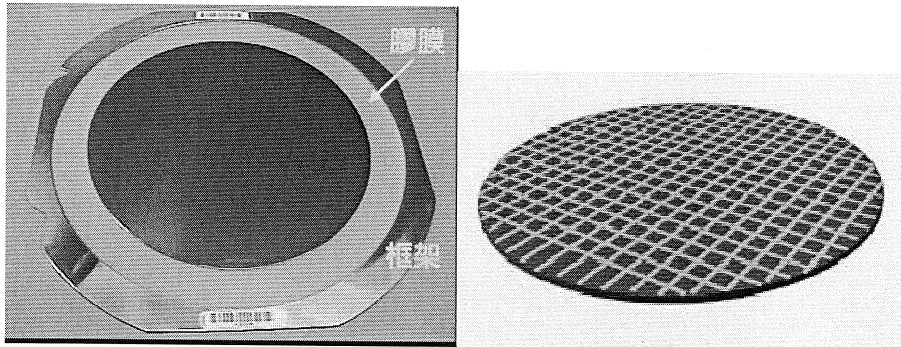
3. 導線架封裝

導線架封裝可說是發展最早的封裝技術，因此它的種類也最多使用也最普遍。導線架封裝依接腳排列於兩側或四邊又可再分為Dual與Quad兩個族群。

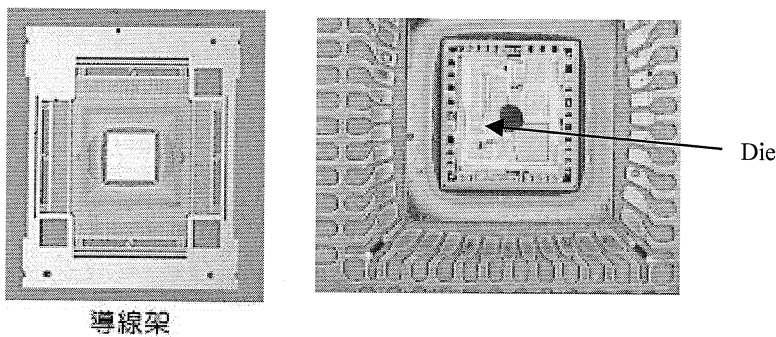
3.1 製程簡介

導線架封裝製程大致可分為以下幾個步驟：

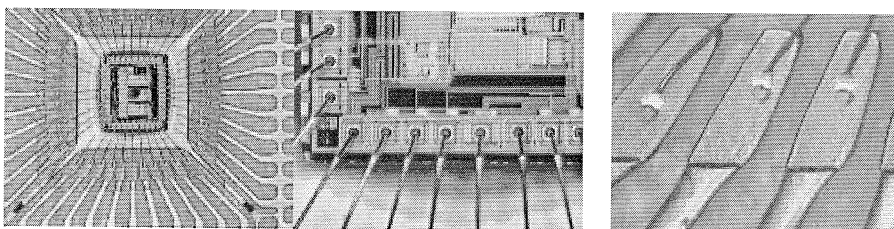
1. 晶圓切割：將晶圓貼在膠膜上，再沿著切割道將晶圓切成個別的顆粒。



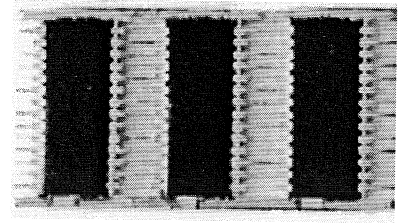
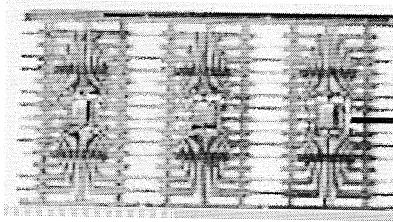
2. Die bond：將切割下來的晶粒分別黏在導線架中央，左圖是導線架的形狀，右圖是經過 die bond後的導線架與晶粒。



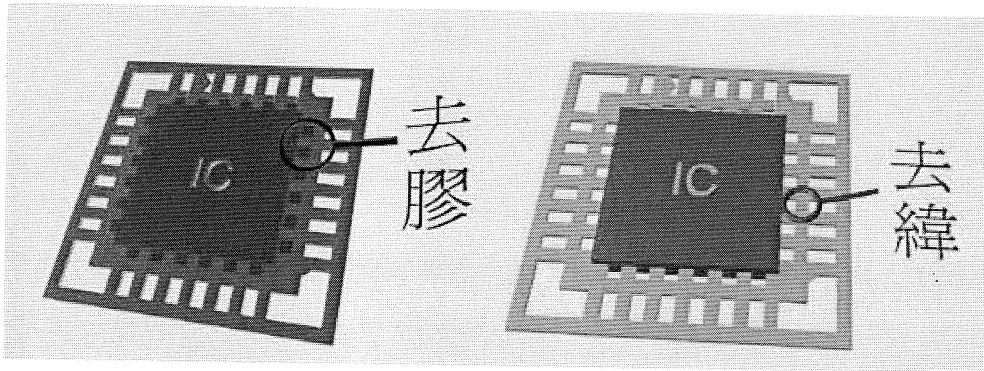
3. Wire bond：利用金線連接chip上的bonding pad與導線架的內引腳，藉以將IC晶片內的電訊號與外界連接。如下列三圖，左圖是wire bond 的完成圖，中圖是金線與 PAD連接的局部放大圖，右圖是金線與導線架內引腳連接的局部放大圖。



4. 封膠 (Molding)：用樹脂將晶粒與導線架內引腳部份封起來，藉以保護晶片並支撐導線架。下圖為封膠前後之比較：



4. 去膠/去緯：所謂去膠是將封膠時所附著的殘渣去除（如下左圖），而去緯則是將外引腳相互連接的部分去除，使各 pin 腳間不會相互短路。



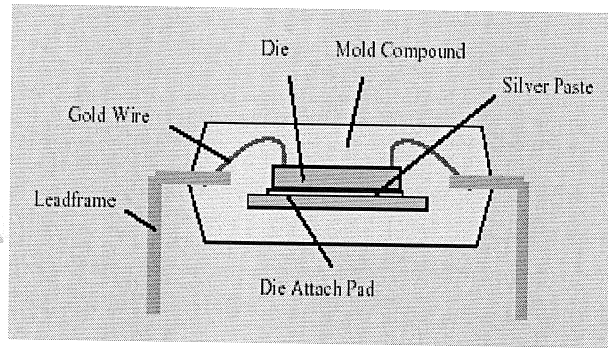
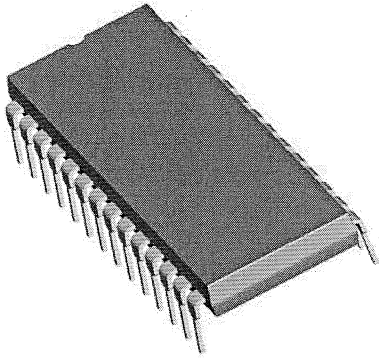
5. 成型：將外引腳依封裝型態之不同彎曲成不同形狀的接腳，成品最是下面即將看到的各種 IC。

3.1 Dual Family

Dual Family 主要應用於低腳數的產品，特色是 IC 接腳位於封裝體之兩側，主要包括下列幾項：

3.1.1 P-DIP

P-DIP 是 **Plastic Dual-in-line Package** 的縮寫，外觀如以下左圖，實際使用時，接腳須穿透電路板上的鉗孔，主要應用在接腳數低於 42 的產品。剖面圖如右圖。

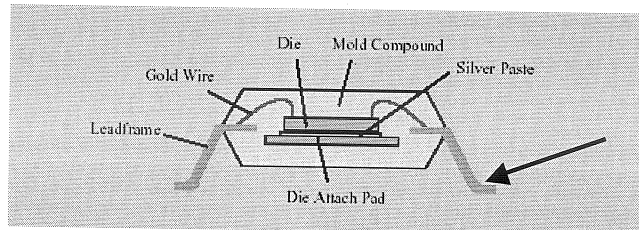
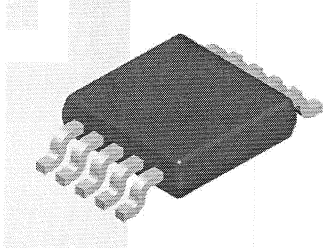


3.1.2 Skinny

Skinny 只能算是 P-DIP 的變形體，無論是外觀或製程都與 P-DIP 一樣，唯一的差別在於 Skinny 兩排接腳間的距離較窄，其中 P-DIP 的寬度大約 550 mil (1mil=10⁻³ inch；封裝廠通常以 mil 作為長度單位)。

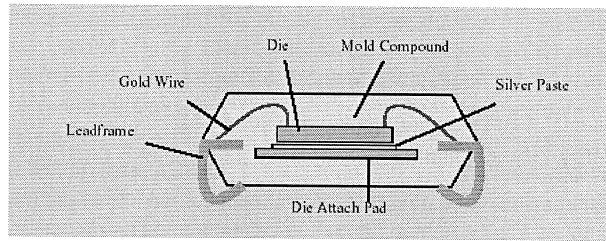
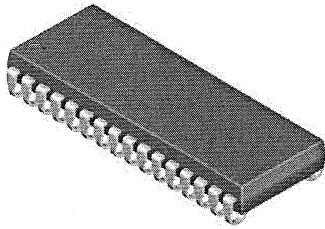
3.1.3 SOP

SOP 是 Small Outline Package 的縮寫，與 P-DIP 的差別在於 pin 腳的外觀，如圖中箭頭所指，而該向外彎曲的 pin 腳也正是 Small outline 名稱的由來。SOP 封裝同樣適用於較低腳數的產品，但使用表面黏著技術 (SMT) 與電路板連接。



3.1.4 SOJ

SOJ 是 Small Outline J-lead Package 的縮寫，它與 SOP 的不同在其 pin 腳的形狀往內彎成一 J 字型，因而得名。



3.1.5 SSOP/TSOP

所謂 SSOP 就是 shrink SOP，與一般 SOP 的差別在於 pin 腳間距較小；而 TSOP 就是 Thin SOP，也就是黑色膠體厚度較薄的意思。類似用法在後面即將介紹的幾種封裝都還會再陸續出現。

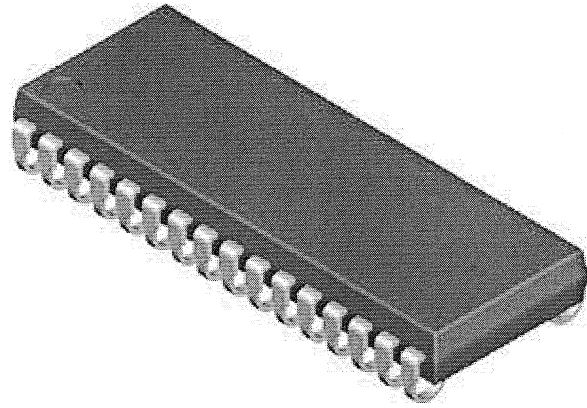
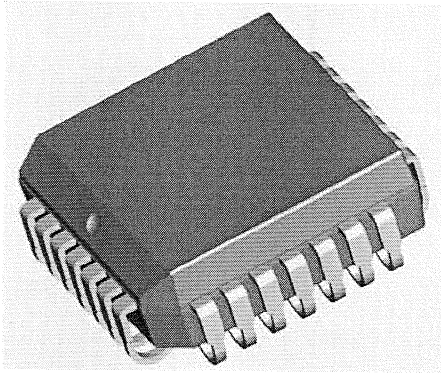
3.2 Quad family

當 IC 的 pin 腳數多到一定程度時，Dual family 的封裝技術會使 IC 的外型變得很長，面積也變大。這時候就想到把 Pin 腳安排在 IC 的四週而非僅在兩側。Quad family 較常見的有 PLCC 與 QFP 兩大類：

3.2.1 PLCC

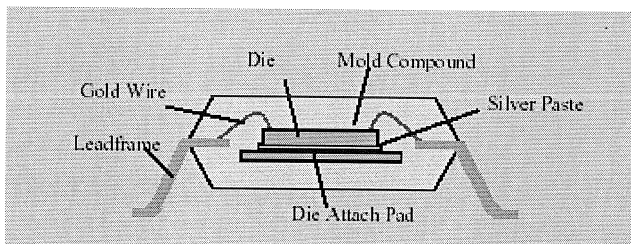
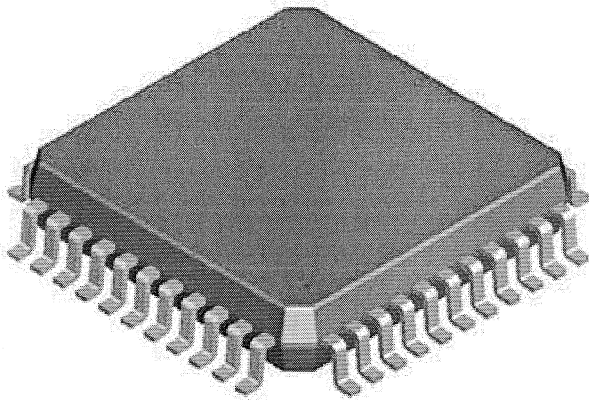
PLCC 是 Plastic Leaded Chip Carrier 的縮寫，接腳形狀類似 SOJ，但接腳是分佈在 IC 膠體四週。如左圖：

舉例來說，一顆 28 pin 的 IC 若以 P-DIP 來封裝，每邊將有 14pin，但若將 pin 腳平均分布於兩側，則每邊只有 7 pin，長度足足減少一半，而面積也隨之減少，將下圖與右的 SOJ 相比，即可了解。



3.2.2 QFP

QFP 是 Quad Flat Package 的縮寫，它的外觀如下圖所示，接腳形狀與 SOP 相似，但分布在 IC 膠體四週。在 BGA 等封裝出現之前，幾乎所有 high pin count 的產品都是使用 QFP 封裝，最高階腳數可達到 240 pin。而其剖面圖也與其他使用 Lead Frame 的封裝一樣是由金線連接 bonding pad 與 Lead Frame。



3.2.3 QFP 的衍生類型

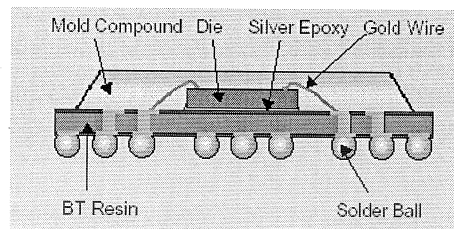
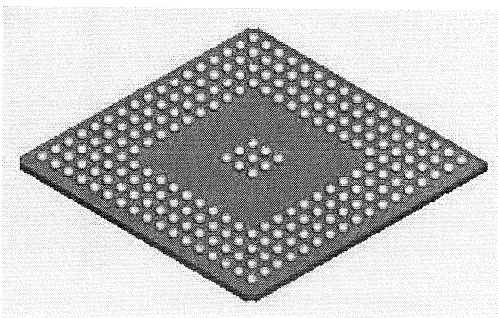
與 SOP 一樣，QFP 也有很多衍生類型，如 TQFP (Thin QFP)，LQFP (Low - profile QFP) …，與 QFP 外觀上差別都不大，在此不再細述。

4. 陣列 (Array) 式封裝

4.1 BGA 封裝

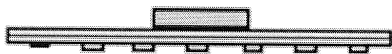
當 pin 腳數超過 240 以後，QFP 的封裝就很難容納得下了，因此充分利用膠體面積的矩陣型排列方式也就誕生了，目前最常見的陣列式封裝只有 BGA (Ball Grid Array) 一種，與導線架封裝最大的不同有以下幾點：

1. 以錫球取代接腳
2. 錫球分布在膠體下方區域，而非僅在四週
3. 以 PCB 基板取代導線架

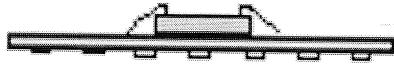


BGA 的製程簡述如下：

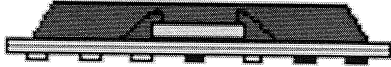
1. **晶圓切割**：將晶圓貼在膠模上，再沿著切割道將晶圓切成個別的顆粒。
2. **Die Attach**：將切割下來的晶粒分別黏在基板中央，此步驟與導線架封裝的 Die bond 類似，但是以 PCB 基板 取代原先的導線架。



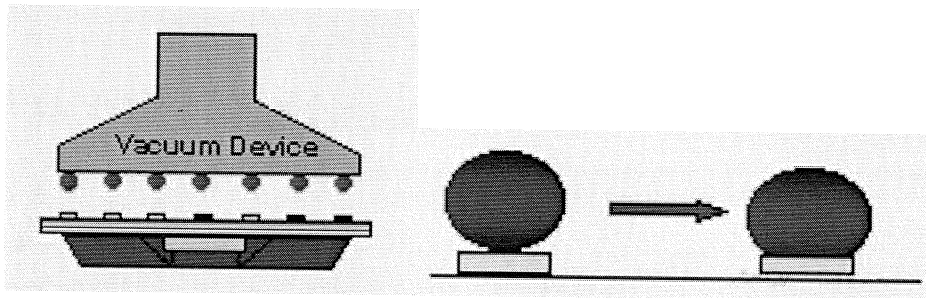
3. **Wire bond**：與導線架封裝的Wire bond相同，只是把金線所連接的導線架內引腳換成基板的錫點。



4. **Molding**：此步驟亦與導線架封裝技術相同，目的在於保護晶片。

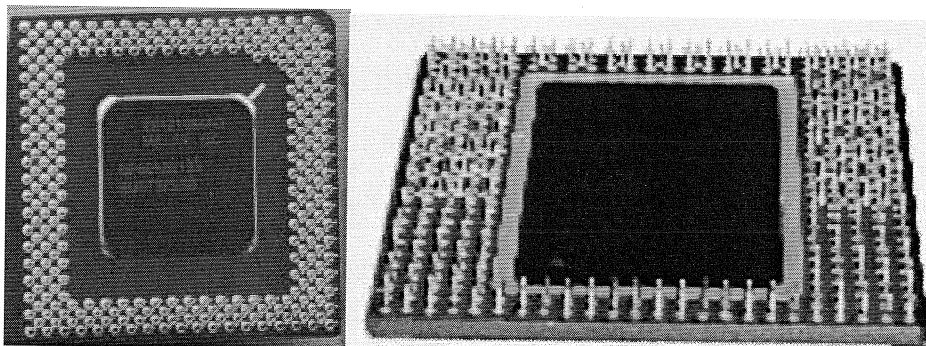


5. **Placement (植球)/Re-flow**：此步驟為導線架封裝所無，植球的目的是在於將錫球附著於基板下方，Re-flow步驟的用意在使錫球與封裝基板間的接合更緊密，錫球也較接近球形。



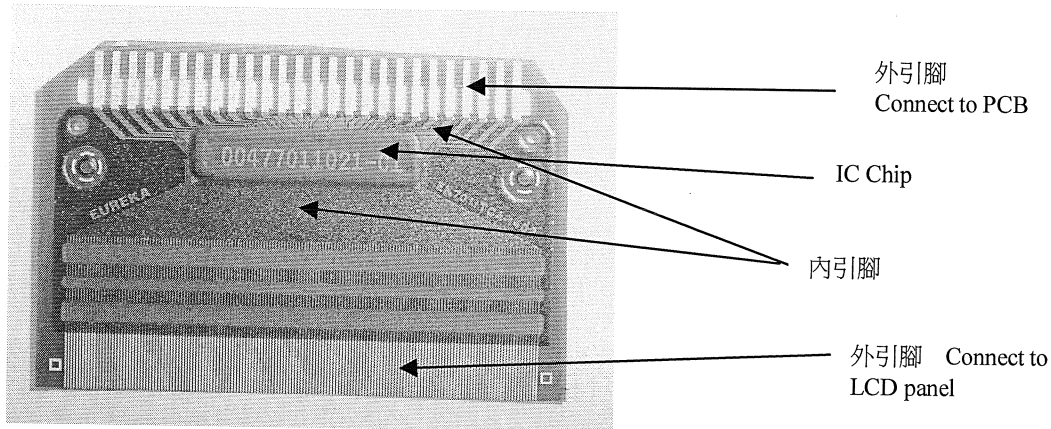
BGA 的優點為密度高、面積小，且表面黏著構裝成本低，特別適用於體積小、pin 腳數多、且頻率較高的 IC 產品。

另外有一種封裝也是陣列式的稱為 PGA (Pin Grid Array Package)，它可說是 BGA 的前身，與 BGA 的差別在於並非使用錫球而是使用細長的圓柱型 PIN 腳，外型有點向梳子，此種封裝最常見的就是 CPU，使用時將接腳插進插槽中，如下圖：



5. 捲帶式晶粒接合技術

捲帶式自動接合技術 TAB (Tape Automatic Bonding)，又稱為 TCP (Tape Carrier Package) 係由美國 GE 公司於 1968 年所開發出來的，目前被大量用在 LCD driver IC 的封裝。下圖是華邦所生產的 LCD driver IC，所使用的就是 TCP 的封裝技術各部位功能如下圖所標示：



捲帶式接合技術，較諸傳統的打線接合，最大的優點在於可縮小積體電路晶片上金屬墊間距，進而提高接腳的密度。使用 TAB 的技術的優點還有接合較快速、準確、及電氣性質優異等，其缺點則主要為凸塊製作不易且成本較高。

5.1 TAB 封裝製程簡介

TAB 製程技術大致可區隔成兩段：內引腳接合 (Inner Lead Bonding : ILB) 和外引腳接合 (Outer Lead Bonding : OLB)。

5.1.1 內引腳接合 (ILB)

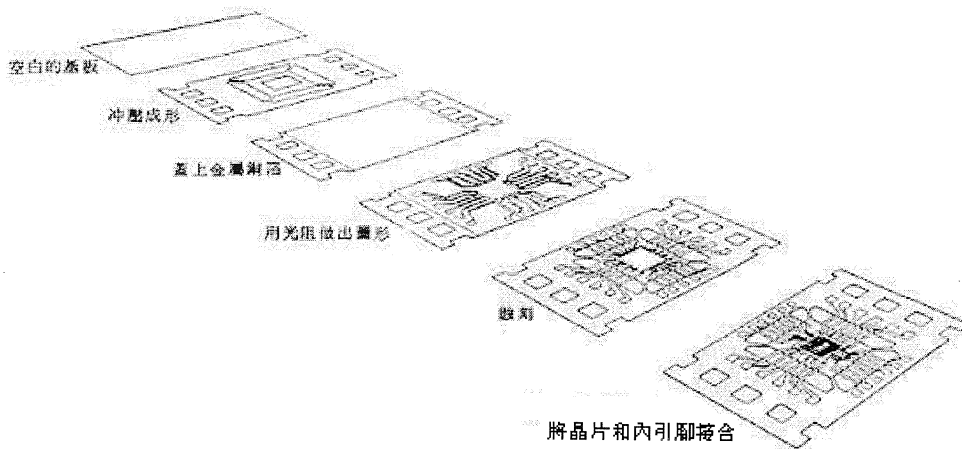
從捲帶及 IC 的設計與製作、長凸塊(Bump)、內引腳接合、封膠(Encapsulation)至接合測試，一般簡稱為 ILB 製程。

ILB 的製程大致包括幾個流程：

1. 基板沖壓成型
2. 鍍上銅箔做為導體
3. 利用光阻、曝光、顯影等步驟將引腳圖形定義出來

4. 將引腳以外的銅箔以蝕刻方式去除
5. 將晶片與內引腳接合

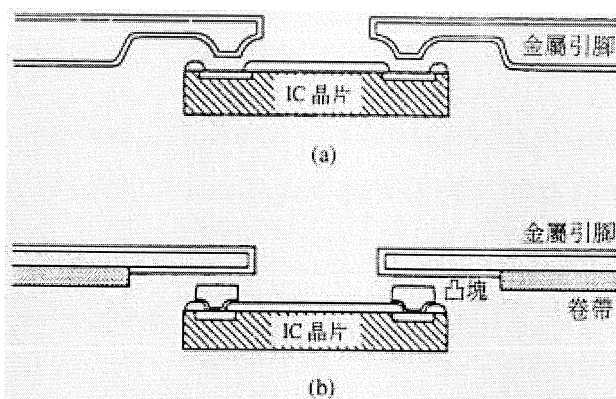
如下圖所示：



ILB 的製程

至於上圖的最後一個步驟，將晶片與內引腳接合。由於 IC 晶片表面所覆蓋保護層 (Passivation Layer) 的表面皆高於鍍墊的金屬層，所以在卷帶內引腳頂端或 IC 晶片接墊上必須先長成接合凸塊 (Bump) 才能進行接合。

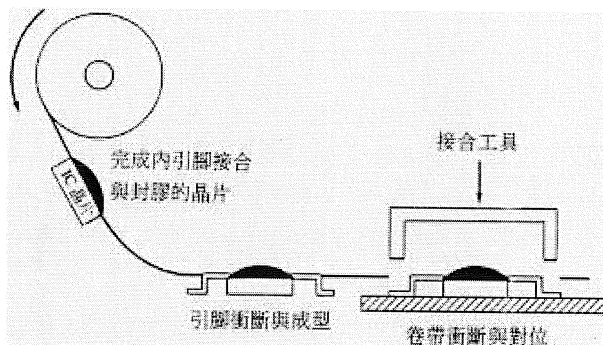
TAB 技術亦據此區分為凸塊化卷帶 TAB (Bumped Tape TAB) 與凸塊化晶片 TAB (Bumped Chip TAB) 兩大類，前者係將凸塊製作在卷帶的內引腳頂端（如下圖 a），再將其搭載於 IC 晶片的接墊上；後者則在 IC 晶片的接墊上長成凸塊，再與卷帶的內引腳頂端接合（如下圖 b）。至於如何在晶片上長出金屬凸塊的技術，將在隨後的章節中介紹。



5.1.2 外引腳接合 (OLB)

OLB 製程則是指捲帶上的引腳與 LCD 面板、印刷電路板 (PCB) 的接合技術。

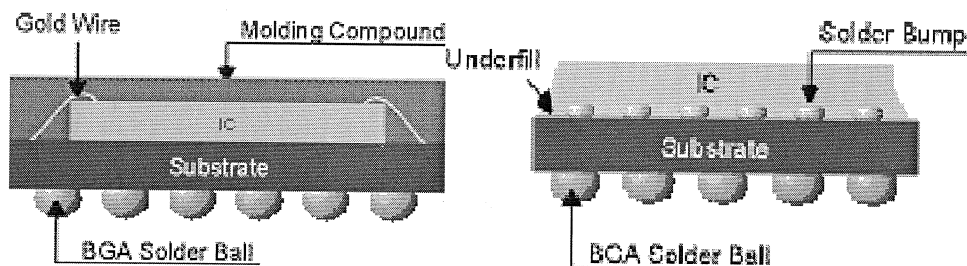
外引腳接合係將內引腳接有 IC 晶片的卷帶引導到構裝基板上，將引腳外端衝斷(Excising)與成型(Forming)後，再以熱壓、迴銲或異方性導電膠將接有引腳之 IC 晶片搭載到構裝基板上，它的過程如下圖所示。



6. 覆晶技術 (Flip Chip)

覆晶封裝是近來台灣半導體業界非常重視的產業議題，各封裝大廠如：日月光、矽品、華泰等皆投注大量資源來深耕這類技術，連TSMC也同時投注產能來發展這類技術，由此可看出半導體業界對覆晶封裝未來發展之期待。

覆晶封裝與傳統打線封裝（包括導線架與基板打線封裝）的不同可由以下二圖明顯看出來，左圖是傳統的 BGA封裝，右圖是採用覆晶技術的BGA封裝，簡稱（FC-BGA）。



6.1 覆晶封裝的優點

6.1.1 封裝腳數高

打線封裝的pad分佈再晶片四週，封裝腳數約到600以上就會遇到技術瓶頸；但是覆晶封裝佈電極的方式可採面積配置的方式，不僅封裝腳數範圍可1000以上，單位面積內封裝腳數的密度也可大幅提高。

傳統封裝製程的最大瓶頸在打線機的效率，目前打線的速度最快約為每秒6條金線。但從生產的流程時間來分析，打線的時間仍是所有製程中最耗時的部分，這部分預期未來改善空間並不大，而使用覆晶封裝則可以省去打線的時間。

6.1.2. 電性表現優良

由於晶片的製程不斷精進，晶片速度不斷提昇、工作電壓降低，會造成電子在金線傳導上的延遲、耗損上更加明顯，而這些因為打金線封裝造成的現象，進一步造成晶片效能無法提昇、晶片測試難度提高等問題待克服。

另一電性的考量則是因金線過長而引發的互感 (Cross Talk) 效應，也就是在IC運作時會有較高的雜訊干擾，這種現象的控制在高頻應用的IC上尤其關鍵。由於凸塊的高度僅有3~7mils，而金線的長度卻有45~105mils不等，傳導的長度過長會造成訊號傳導的時間增加與電感效應，所以採用覆晶構裝的產品在電性表現上較優異。因此對一些通訊用高頻的產品來說，這類封裝技術發展的將可解決現有的問題。

6.1.3 散熱表現佳

晶片運作會發出大量的熱量，熱量通常會隨晶片功率的增加而上升，覆晶封裝可利用多層載板中的一層來將熱導出晶片內。另外覆晶封裝外觀有兩大特徵，一為「裸晶」、二為「凸塊」，裸晶就是晶片不經封膠製程，經過防濕、底部充填膠等處理後直接暴露在外，裸晶的散熱效率高出打線封裝數倍。

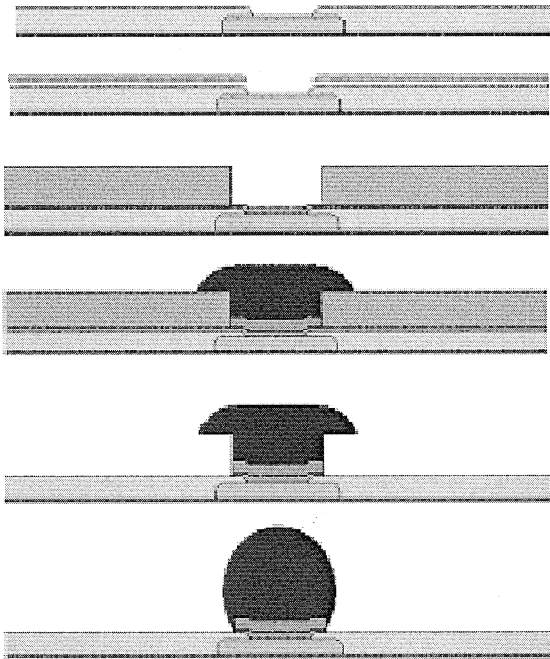
6.1.4. 封裝後輕薄、不需額外的表面積

覆晶封裝後的IC均符合CSP(Chip Scale Packaging)的規格，且因為不需預留封膠與導線架的高度，所以系統構裝時可以進一步精簡空間。

綜合以上可了解到在高功率、散熱要求度嚴苛、輕薄短小的規格上，覆晶封裝有很大的發展空間。

6.2 金屬凸塊製程

金屬凸塊是覆晶與捲帶封裝的重要步驟，其製程大致如下圖所示：



晶圓

濺鍍UBM (Under bump metallurgy)

光阻成型 (包括上光阻、曝光、顯影)

電鍍銅及錫鉛

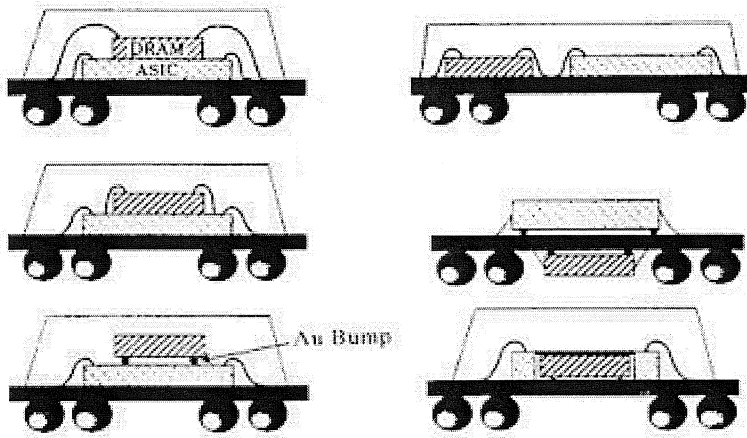
光阻去除及蝕刻UBM

晶片經過金屬凸塊製程後再切刻，就可以用來做 重熔 (Re-flow) 上述的TAB或FC-BGA之用，甚至可直接以裸晶方式與PCB版連接。

上

7. MCM (multiple-chip module)

所謂的 MCM (multiple-chip module) 就是將 2 個以上的 IC 晶片包在同一個 Package 內，以節省封裝後的面積。一些 MCM 的封裝錫式如下圖所示：



7.1 SOC and SIP

近年來 SOC (System on a chip) 的觀念備受重視，幾乎所有的 IC 製造商都投入 SOC 的開發。所謂 SOC 是指在各個原 IC 電路上，做設計上、製程上的整合，然後製作在同一晶粒上。由於省略掉原各 IC 的 I/O 電路，可減少部份晶粒面積，在製造成本和省電性更具優勢。

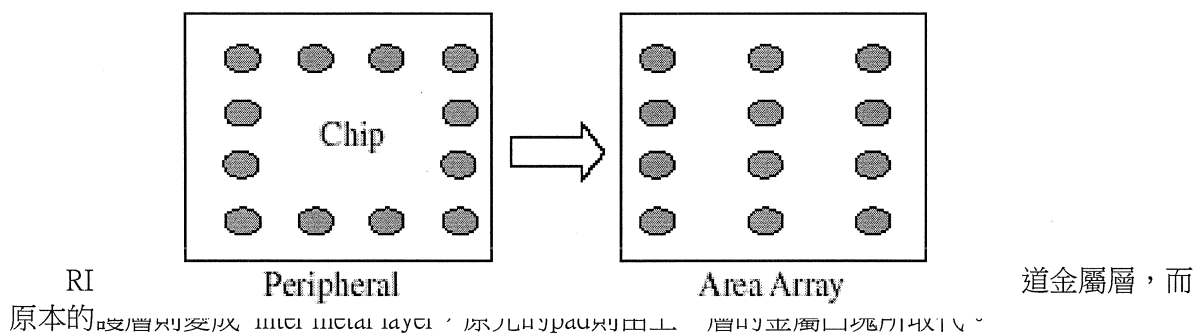
但 SOC 在實際上卻碰上了不少問題，例如在進行 SOC 的過程中，將類比、記憶體和邏輯電路整合為一，當電晶體的 channel length 愈做愈小時時，operation voltage 也隨之降低，但類比電路在如此低的操作電壓之下卻很難確保其準確度。

因此有人提出了 SIP (System in a package) 的概念，也就是在封裝時利用同上節所述的 MCM 封裝將各晶片包裝在一起。具估計將一顆 DRAM 和一個微處理器放在一個 SIP 中其價格大約只有單片式 SOC 的一半。因此 SIP 在短期內將會是 SOC 的重要替代方案，甚至未來可能完全取代 SOC。

8. CSP 與 RDL

CSP (Chip Scale Package) 一般的定義是封裝體邊長為晶片邊長的 1.2 倍以下，或者是封裝體的面積是晶片面積的 1.5 倍以下皆可稱為 Chip scale package，只要符合以上定義，不管在外觀上所呈現出來的是何種封裝型態，都可稱為 CSP。

RDL (Redistribution Layer) 則是將原本分佈在晶片周圍的 PAD 重佈成矩陣型以利縮小 package 尺寸。傳統上 IC 的 PAD 都是分佈在晶片的四週 (如下左圖)，但這種佈局方式並不利於對縮小封裝後的尺寸，若能將 PAD 安排呈矩陣排列，再配合金屬凸塊與覆晶封裝技術即可有效縮小封裝面積。



使用 RDL 技術的好處是可讓舊有的產品也能直接適用新型的封裝，而不需要整個電路重新 LAYOUT，同時也可以因應不同客戶的需求決定是否加做 RDL，對於傳統封裝型態需求的客戶，則可以省下 RDL 製程，直接送包或出貨。

另外所謂晶圓級封裝 (WLP: Wafer Level Package) 則是指晶圓生產完成後，直接在晶圓上進行封裝，完成之後才切割成一顆顆的 IC，目前多適用於傳統低腳數 IC。

11. 新封裝技術對上游IC廠的影響

封裝技術的演進除了影響到IC的成本之外，也對上游IC廠造成一些微妙的影響如下，舉例如下：

11.1 上下游分工可能會重新調整：

前面所曾提到的金屬凸塊以及所謂的晶圓級封裝，其中的製程牽涉到了光罩、濺鍍、蝕刻等傳統上在晶圓廠才會出現的製程技術，當然封裝廠為了技術升級勢必得引進這些技術與設備，如國內的日月光、矽品等都已開始提供這項服務。可是對上游的晶圓廠而言，這些製程若直接在fab廠內做完豈不是更方便，因此國內外都有晶圓廠投入這段製程的開發。甚至有人認為這段製程部署於晶圓廠也不屬於封裝廠，因此也出現了專做金屬凸塊的廠商，如國內的頤邦科技。

因此未來上游 fab 廠與下游封裝廠的分工勢必會有部分 overlap，這一部份製程未來究竟是在晶圓廠內完成，或由下游封裝廠完成，甚至由專業代工廠來製造，目前上看不出來。

11.2 MCM 為 SOC 提供替代方案

雖然上游 IC 廠一直希望能做到 SOC (System on a chip)，但卻遭遇到許多實際上的困難，例如對於製程不同的 IC，如 Logic IC、Analog IC、RF IC 等具有特殊功能，但製程可能一為 CMOS、另一為 Bipolar 製程，無法整合在同一片 IC 上，利用 MCM (Multi-chip module) 的方式可以將製程不相容的 IC 分開製造，然而封裝在一起整合成一個系統，如此便可以解決 IC 製造的問題，而在產品體積上，產品效率的考量上，更可以有比單晶片分開封裝有較佳的效能。

在成本考量上，MCM 的封裝成本，有時會比將所有 IC 整合在一起作成單一晶片然後再封裝起來便宜許多。而這種做法，也稱之為 SIP (System in a package)。

12. 結論

隨著上游半導體製程技術與應用的發展，封裝技術也隨之演進，未來的趨勢將是朝著高腳數與體積縮小化發展。同時為因應各種不同的應用需求，也發展出各種不同的封裝型態。晶圓

製造與封裝之間的關係也愈來愈緊密，因此對上游IC廠而言，了解封裝的相關技術將是必要的。

參考資料：

1. 矽品精密股份有限公司 <http://www.spil.com.tw>
2. 日月光半導體製造股份有限公司 <http://www.ase.com.tw>
3. 美國國家半導體有限公司 <http://www.national.com/CHT/packaging/>
4. 好邦科技半導體事業部 <http://www.qualibond.com.tw/product/tab.html>
5. IC封裝多媒體教材 <http://mango.stut.edu.tw/icpack/home.htm>
6. 電子時報 <http://www.digitimes.com.tw/>
7. 產業情報知識網 <http://iek.itri.org.tw/club1/>
8. 產業資訊服務網 <http://www.itis.org.tw/>
9. 全球電子情報 <http://www.topology.com.tw/>
10. MIC資訊市場情報中心 <http://mic.iii.org.tw/>